

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-187100

(43)Date of publication of application : 14.07.1998

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 08-347827

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 26.12.1996

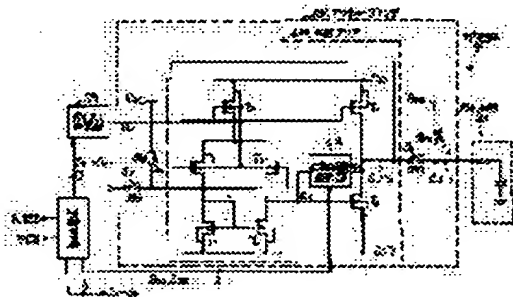
(72)Inventor : ABE JUNICHI

(54) LIQUID CRYSTAL DRIVE CIRCUIT, AND ITS CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption in AC drive in a liquid crystal drive circuit constituted so that a liquid crystal display panel is AC driven by a precharge type output amplifier with a phase compensation circuit.

SOLUTION: A bias selection part 7A supplying a bias current to the output amplifier 60A is constituted so that an output current value is varied by signals SB1-SB3. A phase compensation selection part 61A is constituted so that a CR time constant is varied by the signals S1-S4. A control circuit 8 generating the signals SB1-SB3, S1-S4 that the states are decided according to respective periods of an positive output, a precharge from the positive output, a negative output and the precharge from the negative output in the AC drive by control signals PL/NLB, P/OB from the outside is provided, and the bias current and the phase compensation value of the output amplifier 60A are switched to optimum values to respective periods according to respective periods of the positive output, the precharge from the positive output, the negative output and the precharge from the negative output.



LEGAL STATUS

[Date of request for examination] 26.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2990082

[Date of registration] 08.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-187100

(43) 公開日 平成10年(1998) 7月14日

(51) Int.Cl.⁶

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 7 0

F I

G 0 9 G 3/36

G 0 2 F 1/133

5 7 0

審査請求 有 請求項の数10 O L (全 13 頁)

(21) 出願番号

特願平8-347827

(22) 出願日

平成 8 年(1996)12月26日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 安倍 淳一

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

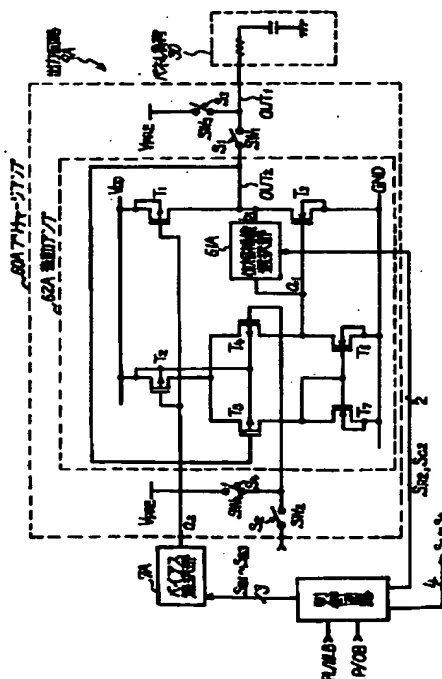
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 液晶駆動回路及びその制御方法

(57) 【要約】

【課題】 液晶ディスプレイパネルを位相補償回路を備えるプリチャージ型出力増幅器で交流駆動する構成の液晶駆動回路において、交流駆動の低電力化を図る。

【解決手段】 出力アンプ60Aにバイアス電流を供給するバイアス選択部7Aを、出力電流値が信号 $S_{B1} \sim S_{B3}$ により可変の構成とする。位相補償選択部61Aを、C R時定数が信号 $S_1 \sim S_4$ により可変の構成とする。外部からの制御信号PL/NLB、P/OBから、交流駆動における正極性出力、正極性出力からのプリチャージ、負極性出力及び負極性出力からのプリチャージの各期間に応じて状態の定まる信号 $S_{B1} \sim S_{B3}$ 、 $S_1 \sim S_4$ を生成する制御回路8を設けて、出力アンプ60Aのバイアス電流及び位相補償値を、正極性出力、正極性出力からのプリチャージ、負極性出力及び負極性出力からのプリチャージの各期間に応じて、それぞれの期間に最適な値に切り替える。



【特許請求の範囲】

【請求項1】 駆動すべき液晶ディスプレイパネルのライン毎に設けた、位相補償手段を有するプリチャージ型出力増幅器を複数備え、前記液晶ディスプレイパネルを正極性出力の期間と、プリチャージの期間と、負極性出力の期間とを繰り返して交流駆動する構造の液晶駆動回路において、

前記出力増幅器のバイアス電流値及び位相補償値を、前記正極性出力の期間、正極性出力からのプリチャージの期間、負極性出力の期間又は負極性出力からのプリチャージの期間に応じて、切り替え可能にしたことを特徴とする液晶駆動回路。

【請求項2】 外部から入力される極性無しの画像信号を、外部から入力される第1の二値制御信号に応じて二極性の画像信号に変換する手段と、得られた二極性画像信号を順次サンプリングし保持する複数のサンプルアンドホールド回路と、それぞれが位相補償手段を有する複数のプリチャージ型出力増幅器であって、それぞれは前記サンプルアンドホールド回路に対応して設けられて、外部から入力される第2の二値制御信号に応じて、プリチャージ用電圧及びサンプルアンドホールド回路の出力信号のいずれかをそれぞれが駆動すべき液晶ディスプレイパネルのラインに出力する出力増幅器とを含み、それら複数の出力増幅器により液晶ディスプレイパネルを交流駆動する構造の液晶駆動回路において、前記複数の出力増幅器それぞれにバイアス電流を供給するバイアス電流供給手段を、その出力電流値が二値の制御信号により離散的に可変である構成とし、前記各々の出力増幅器が備える位相補償手段を、これを構成する回路素子の定数が二値の制御信号により離散的に可変である構成とすると共に、

前記第1の二値制御信号と前記第2の二値制御信号とから、それぞれ液晶ディスプレイパネルの交流駆動における出力増幅器からの正極性出力の期間、正極性出力からのプリチャージの期間、負極性出力の期間及び負極性出力からのプリチャージの期間に応じて状態の定まる複数の二値制御信号を生成する制御回路を設け、前記制御回路が生成する複数の二値制御信号を前記バイアス電流供給手段又は前記位相補償手段に割り当てることにより、前記出力増幅器のバイアス電流及び位相補償値を、前記正極性出力の期間、正極性出力からのプリチャージの期間、負極性出力の期間及び負極性出力からのプリチャージの期間に応じて、可変であるようにしたことを特徴とする液晶駆動回路。

【請求項3】 前記複数の出力増幅器各々のプリチャージ時の位相補償値を出力時の位相補償値より小さくすることで、出力増幅器のバイアス電流一定のままでプリチャージ時間を短縮することを特徴とする、請求項1又は請求項2記載の液晶駆動回路の制御方法。

【請求項4】 前記複数の出力増幅器各々のプリチャージ時の位相補償値を出力時の位相補償値より小さくすることで、プリチャージ時間一定のままで出力増幅器のバイアス電流を低減し、前記複数の出力増幅器各々を低電力化することを特徴とする、請求項1又は請求項2記載の液晶駆動回路の制御方法。

【請求項5】 前記複数の出力アンプ各々の正極性からのプリチャージ時のバイアス電流を負極性からのプリチャージ時のバイアス電流より低減することにより、前記複数の出力増幅器各々を低電力化することを特徴とする、請求項1又は請求項2記載の液晶駆動回路の制御方法。

【請求項6】 請求項2記載の液晶駆動回路において、前記位相補償手段は、位相補償値がキャパシタと抵抗との組合せによって定まるCR時定数に依存する構成の回路であって、定められた1つのキャパシタと複数の抵抗とを有し、前記キャパシタに対し、前記制御回路により、前記複数の抵抗のうちから一つを選択して接続し又は、並列、直列及び直並列のいずれかに組み合わせて接続することにより、抵抗値の変化に基づくCR時定数の変化で位相補償値を可変にした構成であることを特徴とする液晶駆動回路。

【請求項7】 請求項2記載の液晶駆動回路において、前記位相補償手段は、位相補償値がキャパシタと抵抗との組合せによって定まるCR時定数に依存する回路であって、定められた1つの抵抗と複数のキャパシタとを有し、前記抵抗に対し、前記制御回路により、前記複数のキャパシタのうちから一つを選択して接続し又は、並列、直列及び直並列のいずれかに組み合わせて接続することにより、容量値の変化に基づくCR時定数の変化で位相補償値を可変にした構成であることを特徴とする液晶駆動回路。

【請求項8】 請求項2記載の液晶駆動回路において、前記位相補償手段は、位相補償値がキャパシタと抵抗との組合せによって定まるCR時定数に依存する回路であって、複数の抵抗と複数のキャパシタとを有し、前記制御回路により、前記複数の抵抗のうち一つを選択し又は若しくは並列、直列及び直並列のいずれかに組み合わせると共に、前記複数のキャパシタのうち一つを選択し又は並列、直列及び直並列のいずれかに組み合わせ、抵抗と容量とを接続することにより、抵抗値及び容量値の変化に基づくCR時定数の変化で位相補償値を可変にした構成であることを特徴とする液晶駆動回路。

【請求項9】 請求項2記載の液晶駆動回路において、前記バイアス電流供給手段はそれぞれ電流値の異なる複数のバイアス電流源を有し、前記制御回路により前記複数のバイアス電流源のうちから一つを選択することで、出力電流値を可変にした構成であることを特徴とする液晶駆動回路。

【請求項10】 請求項2記載の液晶駆動回路において、

前記バイアス電流供給手段は、それぞれ電流値の同一の複数のバイアス電流源を有し、前記制御回路により前記複数のバイアス電流源のうちから一つを選択し又は二つ以上を並列接続することにより、出力電流値を可変にした構成であることを特徴とする液晶駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶駆動回路及びその制御方法に関し、特に、液晶ディスプレイパネルをプリチャージアンプを用いて交流駆動する構造の液晶駆動回路及びその制御方法に関する。

【0002】

【従来の技術】近年、ノート型パーソナルコンピュータ等に使用するディスプレイとして液晶ディスプレイが多用されているが、液晶ディスプレイの年々の大型化に伴い、パネル負荷が大容量化してきている。このパネル負荷の大容量化は、特に液晶駆動回路の消費電力の増加をもたらすので、低電力で動作する液晶駆動回路が要求されている。

【0003】一方、液晶ディスプレイの寿命を延すために、ディスプレイパネルの駆動には図10に示すような、ライン毎で正極性のデータと負極性のデータとを交互に出力する、交流駆動が行われている。又、低電力化と高速化の要求に対応するために、液晶駆動回路の出力回路には、プリチャージアンプ（増幅器）が広く使用されている。プリチャージアンプを用いた液晶ディスプレイパネルの駆動では、プリチャージ時にはアンプをパネル負荷から切り離し、アンプ内部とパネル負荷とを別々にプリチャージする。出力時にはアンプをパネル負荷に接続し、パネル負荷を所定の電圧までディスチャージする。

【0004】ところで、この種のアンプの発振対策として位相余裕の確保が上げられるが、その位相余裕は通常、位相補償用キャパシタと位相補償用抵抗とで制御する。その場合、位相補償容量値と位相補償抵抗値とは、より大きな位相補償のCR時定数を必要とする出力時に合わせて決めるのが一般的である。しかるに、このことは、アンプのスルーレートを小さくしアンプ内部のプリチャージ時間を長くするという不都合な結果をもたらすので、その対策として、アンプにバイアス電流を多く流すことで内部のプリチャージを一定時間内に実行させることが、行われている。以下に、その説明を行う

図11は図10を、液晶駆動回路を主体として回路ブロックのレベルで表わした図である。又、図12は、図11に示す液晶駆動回路を用いて液晶ディスプレイパネルを交流駆動する際の、タイミングチャートである。図11及び図12を参照して、ディスプレイパネルを交流駆動するための液晶駆動回路10A、10Bは、駆動回路10Aを例にとると、アナログインタフェースIC1とK個の液晶駆動IC2₁～2_Kとで構成される。アナロ

グインタフェースIC1は、極性無しの画像信号DATA₁を極性有りの画像信号DATA₂に変換するICである。

【0005】液晶駆動ICは、液晶ディスプレイパネル3を駆動するICである。K個のICが用いられているが、全て同じ構成である。駆動IC2₁を例にとれば、シフトレジスタ4₁と、m個のサンプルアンドホールド回路5₁～5_mと、m個の出力アンプ6₁～6_mと、バイアス電流源7₁とで構成されている。各駆動ICでは、極性有りの画像信号DATA₂が個々のサンプルアンドホールド回路に割り当てられ、個々の出力アンプを通してディスプレイパネル3を駆動している。

【0006】図11と図12とを参照して、液晶駆動回路における交流駆動動作について説明する。極性信号PL/NLBは通常、'L'期間t₁と'H'期間t₂とが同じ長さの信号である。それらの期間は、水平同期期間と呼ばれる。アナログインタフェースIC1は極性無しの画像信号DATA₁を、極性信号PL/NLBにより、水平同期期間毎に極性が変化する画像信号DATA₂に変換して、液晶駆動IC2₁～2_Kへ出力する。この際、極性信号PL/NLBの'L'期間t₁では、画像信号DATA₂は正極性になる。又、極性信号PL/NLBの'H'期間t₂では、画像信号DATA₂は負極性になる。

【0007】一方、液晶駆動IC2₁にはスタートパルスSPが入力され、シフトレジスタ4₁～4_KによりZ個のサンプリングクロックSCK_n（n=1～Z）が出力される。各サンプリングクロックSCK_nは極性有りの画像信号DATA₂をサンプリングし、そのサンプリングしたデータを各サンプルアンドホールド回路5₁～5_Zにラッチさせる。

【0008】各サンプルアンドホールド回路5₁～5_Zはデータをラッチするキャパシタを2つ以上備え、例えば一方のキャパシタが出力アンプ6₁～6_Zへ正極性のデータを出力している時、もう一方のキャパシタでは負極性のデータをサンプリングしている。サンプルアンドホールド回路5_Z迄データがラッチされると、プリチャージ・出力切換え信号P/OBにより、各出力アンプ6₁～6_Zは、ディスプレイパネル3へ出力信号S_nを送る。出力信号S_nは、プリチャージ期間t_p、正極性出力期間t_{o+}、プリチャージ期間t_p、負極性出力期間t_{o-}を繰り返して、ディスプレイパネル3を交流駆動する。尚、バイアス電流源7₁～7_Zは、出力アンプ6₁～6_Zに流す電流量を決定している。

【0009】次に、図13を参照して、液晶駆動回路の出力回路に従来の広く使用されているプリチャージアンプの構成を説明する。図13は、図11中の出力回路9₁～9_Zにおいて出力アンプ6₁～6_Zにプリチャージアンプを使用したときの一例の回路図を、トランジスタレベルで示す図である。K個ある出力回路のうちの一つ分

を示している。プリチャージアンプ60は、トランジスタ $T_1 \sim T_7$ 及び位相補償部61で構成される差動アンプ62と、差動アンプ62をプリチャージするためのスイッチ SW_4 と、パネル負荷30をプリチャージするためのスイッチ SW_3 と、データを出力するためのスイッチ SW_1 及びスイッチ SW_2 とを有する。尚、位相補償部61は、差動アンプ62の発振対策として設けられたもので、位相余裕を確保する役割を担っている。バイアス電流源7は、差動アンプ62に流す電流量および差動アンプ62のスルーレートを調整している。

【0010】図14に示すタイミングチャートを参照して、従来のプリチャージアンプの動作について説明する。プリチャージ期間 t_p には、スイッチ SW_1 及びスイッチ SW_2 をオフにする。そして、パネル負荷30はスイッチ SW_3 をオンにすることにより、又、差動アンプ62は SW_4 をオンにすることによって、パネル負荷部 OUT_1 の電圧と差動アンプ出力部 OUT_2 の電圧とを、プリチャージ電圧 V_{PRE} まで引き上げる。

【0011】プリチャージを2つのスイッチ SW_3 、 SW_4 で行うのは、差動アンプ62は立ち上げ時のスルーレートが小さいためである。すなわち、スイッチ SW_1 をオフにして差動アンプ62からパネル負荷30を切り離すことで差動アンプ62の負荷を小さくすると共に、スイッチ SW_4 をオンにして差動アンプ62を高速でプリチャージする。正極性出力期間 t_o 及び負極性出力期間 t_o においては、スイッチ SW_3 及びスイッチ SW_4 をオフにし、スイッチ SW_1 及びスイッチ SW_2 をオンにして、パネル負荷部 OUT_1 をデータレベルまでディスチャージしている。

【0012】位相補償部61は、差動アンプ62の発振対策として設けられたもので、位相補償用抵抗 R と位相補償用キャパシタ C との直列接続で構成されている。位相補償の CR の時定数は、一般的にアンプ出力部の負荷に依存し、負荷が大きいほど大きな CR 時定数を必要とする。

【0013】プリチャージアンプ60でアンプ出力部の負荷に違いが生じるのは、プリチャージ期間 t_p と出力期間 t_o の二つの期間であるが、位相補償用抵抗 R と位相補償用容量 C の値とは、より大きな位相補償の CR 時定数を必要とする。出力期間 t_o に合わせて設定されている。

【0014】バイアス電流源7は、トランジスタ T_8 がトランジスタ T_1 及びトランジスタ T_2 とカレントミラーの関係にあって、差動アンプ62に定常的に流れる電流を決定する。すなわち、差動アンプ62のスルーレートを決定する。このとき、プリチャージ期間 t_p における差動アンプ62のスルーレートは、式 I_B/C で表わされる。位相補償用キャパシタ C が出力期間 t_o に必要な大きな値に合わせて大きくされていることから、差動アンプ62のスルーレートの確保つまり、プリチャージ

期間 t_p を一定期間内に抑えるためには、バイアス電流 I_B を大きくせざるを得ない。

【0015】

【発明が解決しようとする課題】第1の課題は、各1つの位相補償用抵抗と位相補償用キャパシタとバイアス電流とで液晶駆動回路の制御をすると、プリチャージ時に不要な電流が流れてしまうことである。すなわち、プリチャージ時には出力時よりも位相補償容量値を小さくすることができるにも拘らず、位相補償のためのキャパシタの容量値は出力時に合わせて大きく設定されている。その結果、出力アンプのスルーレートが小さくなり、プリチャージ期間が一定期間以上になるという問題が生じ、その対策として、バイアス電流を多く流しているからである。

【0016】第2の課題は、各1つの位相補償用抵抗と位相補償用キャパシタ及びバイアス電流で液晶駆動回路の制御をすると、正極性出力からのプリチャージ時にさらに不要な電流が流れてしまうことである。すなわち、正極性出力からのプリチャージ時には、負極性出力からのプリチャージ時に比べて、出力電圧とプリチャージ電圧のとの間の電位差が小さい。従って、バイアス電流を減らして出力アンプのスルーレートを小さくしても、プリチャージ期間を一定期間に抑えることは可能である。然るに、バイアス電流を、負極性出力からのプリチャージ時または出力時に合わせて多く流しているからである。

【0017】

【課題を解決するための手段】本発明の液晶駆動回路は、駆動すべき液晶ディスプレイパネルのライン毎に設けた、位相補償手段を有するプリチャージ型出力増幅器を複数備え、前記液晶ディスプレイパネルを正極性出力の期間と、プリチャージの期間と、負極性出力の期間とを繰り返して交流駆動する構造の液晶駆動回路において、前記出力増幅器のバイアス電流値及び位相補償値を、前記正極性出力の期間、正極性出力からのプリチャージの期間、負極性出力の期間又は負極性出力からのプリチャージの期間に応じて、切り替え可能にしたことを特徴とする。

本発明は、液晶駆動回路の動作を、出力期間と負極性出力からのプリチャージ期間と正極性出力からのプリチャージ期間の3期間に分け、位相補償用抵抗と位相補償用キャパシタ及びバイアス電流を、各々の期間で要求される最適な値に切換えることで消費電流の低減化を行う。

【0018】本発明は、出力増幅器のバイアス電流と位相補償値とを切り替える制御回路を設け、極性信号と、出力増幅器のプリチャージと出力とを切り換える信号とにより、出力増幅器の正極性出力時、正極性出力からのプリチャージ時、負極性出力時及び負極性出力からのプリチャージ時の各々の期間に応じて、位相補償値の切り替えと、バイアス電流の切り替えとを行い、それぞれの

期間に最適なバイアス電流及び位相補償を提供することにより、不必要な電流消費及び動作時間の延長を削減する。

【0019】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。始めに、本発明の構成の全体的な特徴について、説明する。図2は、液晶ディスプレイパネルの駆動回路において、出力回路のアンプに本発明によるプリチャージアンプを用いたときの構成を、ブロックレベルで示す図である。又、図1は、図2中の出力回路の一例の回路図を、トランジスタレベルで示す図である。同図には、複数個用いられる出力回路のうちの一個分を示す。

【0020】図2を参照して、液晶ディスプレイパネル3を交流駆動する液晶駆動回路は、アナログインタフェースIC1と、K個の液晶駆動IC2A₁～2A_Kとで構成される。アナログインタフェースIC1は、極性無しの画像信号DATA₁を極性有りの画像信号DATA₂に変換するICである。液晶駆動IC2A₁～2A_Kは、ディスプレイパネル3を駆動するICである。このICは駆動IC2A₁を例にとれば、シフトレジスタ4₁と、m個のサンプルアンドホールド回路5₁～5_mと、m個の出力アンプ6A₁～6A_mと、バイアス電流源選択部7A₁と、制御回路81とで構成されている。この液晶駆動ICでは、極性有りの画像信号DATA₂が各サンプルアンドホールド回路5₁～5_mに割り当てられ、出力アンプ6A₁～6A_mを通してディスプレイパネル3を駆動する。

【0021】次に、本発明を適用した出力回路の一例の回路図を示す図1を参照して、プリチャージアンプ60Aは、トランジスタT₁～T₇及び位相補償選択部61Aで構成される差動アンプ62Aと、差動アンプ62AをプリチャージするためのスイッチSW₄と、パネル負荷30をプリチャージするためのスイッチSW₃と、データを出力するためのスイッチSW₁及びスイッチSW₂とを有する。位相補償選択部61Aは、差動アンプ62Aの発振対策として設けられたものであり、位相余裕を確保する役割を担っている。プリチャージアンプの外部に設けられたバイアス電流源選択部7Aは、差動アンプ62Aに流す電流量と差動アンプ62Aのスルーレートとを調整する。又、同じくプリチャージアンプの外部に設けられた制御回路8は、位相補償選択部61Aとバイアス電流源選択部7Aとを制御する。本発明の特徴は、これらバイアス電流源選択部7A、位相補償選択部61Aおよび制御回路8にある。

【0022】上記構成の本発明による液晶駆動回路は、図12のタイミングチャートで示す従来の駆動回路と同じタイミングで動作する。すなわち、図2および図12を参照して、極性信号PL/NLBは、通常、'L'期間t₁と、'H'期間t₂とが同じ長さの信号であり、水

平同期期間と呼ばれる。アナログインタフェースIC1は、極性無しの画像信号DATA₁を、極性信号PL/NLBに応じて、水平同期期間毎に極性が変化する画像信号DATA₂に変換して、液晶駆動IC2A₁～2A_Kへ出力する。この際、画像信号DATA₂は、極性信号PL/NLBの'L'期間t₁には正極性になる。また、極性信号PL/NLBの'H'期間t₂には負極性になる。

【0023】一方、液晶駆動IC2A₁にはスタートパルスSPが入力され、シフトレジスタ4₁～4_Kにより、Z個のサンプリングクロックSCK_n (n=1～Z)が出力される。個々のサンプリングクロックSCK_nは、極性有りの画像信号DATA₂をサンプリングし、サンプリングしたデータを個々のサンプルアンドホールド回路5₁～5_Zにラッチさせる。

【0024】各々のサンプルアンドホールド回路5₁～5_Zはデータをラッチするキャパシタを2つ以上備え、例えば一方のキャパシタが出力アンプへ正極性のデータを出力している時は、もう一方のキャパシタでは負極性のデータをサンプリングしている。サンプルアンドホールド回路5_Zまでデータがラッチされると、個々の出力アンプ6A₁～6A_Zはプリチャージ・出力切換え信号P/OBによって、液晶ディスプレイ3へ出力信号S_nを送る。出力信号S_nは、プリチャージ期間t_pと、正極性出力期間t₀₊と、プリチャージ期間t_pと、負極性出力期間t₀₋とを繰り返し、ディスプレイパネル3を交流駆動する。

【0025】上記の一連の動作において、プリチャージ期間t_pには、スイッチSW₁及びスイッチSW₂をオフにする。そして、パネル負荷30はスイッチSW₃をオンにし、差動アンプ62AはSW₄をオンにすることで、パネル負荷部OUT₁と差動アンプ出力部OUT₂の電圧を、プリチャージ電圧V_{PRE}に引き上げる。

【0026】プリチャージを2つのスイッチSW₃、SW₄で行う理由は、差動アンプ62Aは立ち上がり時のスルーレートが小さいためであり、スイッチSW₁をオフさせてアンプ62Aからパネル負荷30を切り離すことで差動アンプ62Aの負荷を小さくすると共に、スイッチSW₄をオンさせて差動アンプ62Aを高速でプリチャージしている。一方、正極性出力期間t₀₊及び負極性出力期間t₀₋には、スイッチSW₃及びスイッチSW₄をオフにし、スイッチSW₁及びスイッチSW₂をオンにして、パネル負荷部OUT₁をデータレベルまでディスチャージする。

【0027】本発明は、上述のように、正極性または負極性の出力期間t₀₊と、負極性出力からのプリチャージ期間t_pと、正極性出力からのプリチャージ期間t_pの三つに分けられる動作期間のそれぞれに対して、制御回路8(図2参照)の出力信号で位相補償選択部61A及びバイアス電流源選択部7Aを制御することにより、各

々の期間に適当な位相補償用CR時定数およびバイアス電流を切り換えて供給して、低電力化する点に特徴を持つ。以下に、三つの実施の形態に基づき、上記のバイアス電流源選択部7A、位相補償選択部61A、制御回路8の構成および動作を、具体的に説明する。

【0028】図3に、本発明の第1の実施の形態における位相補償選択部61Aの素子レベルの回路図(図3(a))及び、バイアス電流源選択部7Aの素子レベルの回路図(図3(b))を示す。又、図4に制御回路8のブロック図を示し、図5に動作時のタイミングチャートを示す。図3(a)を参照して、位相補償選択部61Aは、位相補償用抵抗 R_1 と、アナログスイッチ SW_{R2} のオン、オフに応じて抵抗 R_1 に並列に接、断される位相補償用抵抗 R_2 と、位相補償用キャパシタ C_1 とで構成される。

【0029】図3(b)を参照すると、バイアス電流源選択部7Aは、異なるバイアス電流 $I_{B1} \sim I_{B3}$ が流れる3つのバイアス電流源と、これらを切替えるスイッチ $SW_{B1} \sim SW_{B3}$ とで構成される。尚、トランジスタ $T_{B1} \sim T_{B3}$ は、図1中の差動アンプ62Aのトランジスタ T_1 及びトランジスタ T_2 とカレントミラーの関係にあり、差動アンプ62Aに流れる電流は、バイアス電流源選択回路7Aの電流 I_{Bn} ($n=1 \sim 3$)に比例して決る。

【0030】図4を参照して、制御回路8は、極性信号PL/NLBとプリチャージ・出力切換え信号P/OBとから、位相補償選択部61Aのスイッチの開、閉を制御する信号 S_{R2} と、バイアス電流源選択部7Aで使用するスイッチを制御する信号 $S_{B1} \sim S_{B3}$ と、アンプ60A内にあってプリチャージと出力とを切り替えるスイッチを制御するための信号 $S_1 \sim S_4$ を作る。

【0031】本実施の形態における動作時のタイミングチャートを示す図7を参照して、位相補償のCR時定数は、一般に、アンプ出力部の負荷に依存し、負荷が大きいほど大きなCR時定数を必要とする。つまり、出力期間 t_0 においては、アンプ出力部がパネル負荷に接続されるので、大きなCR時定数を必要とする。これに対しプリチャージ期間 t_p には、出力期間 t_0 に比べて小さなCR時定数で済む。

【0032】そこで、本実施の形態では、出力期間 t_0 にはスイッチ SW_{R2} をオフにし、位相補償抵抗値をプリチャージ期間 t_p のときより大きくする。位相補償用キャパシタ C_1 は、出力期間 t_0 に合せて大きくしておく。バイアス電流には、スイッチ SW_{B1} をオンにして、電流 I_{B1} を選択する。このバイアス電流 I_{B1} は、差動アンプ62Aがデータを出力し保持するのに必要な値にする。

【0033】負極性出力からのプリチャージ期間 t_p には、スイッチ SW_{R2} をオンにし、位相補償用抵抗値を出力期間 t_0 のときより小さくする。バイアス電流として

は、スイッチ SW_{B2} をオンにして、電流 I_{B2} を選択する。ここで、位相補償用キャパシタ C_1 は大きい値で固定されているので、バイアス電流 I_{B2} が小さいと差動アンプ62Aのスルーレートが小さくなり、プリチャージ期間 t_p が長くなってしまふ。そこで、バイアス電流 I_{B2} は、プリチャージ期間 t_p を一定期間内に抑えるために必要な値にする。

【0034】正極性出力からのプリチャージ期間 t_p には、スイッチ SW_{R2} をオンにし、位相補償抵抗値を出力期間 t_0 のときより小さくする。バイアス電流には、スイッチ SW_{B3} をオンにして、電流 I_{B3} を選択する。正極性出力電圧とプリチャージ電圧との間の電位差が、負極性出力電圧とプリチャージ電圧との間の電位差に比べて小さいので、バイアス電流 I_{B3} は、バイアス電流 I_{B2} より小さくて良い。

【0035】次に、本発明の第2の実施の形態について、説明する。本実施の形態は、位相補償のCR時定数の切換えを、位相補償用キャパシタのみで切り換える方法を示す。図1中の位相補償選択部61Aに図6(a)に示す回路を用い、バイアス電流源選択部7Aには、第1の実施の形態と同じく、図3(b)に示す回路を用いる。制御回路8には、図6(b)に示す回路を使用する。本実施の形態の動作時のタイミングチャートを、図7に示す。

【0036】図6(a)を参照して、位相補償選択部61Aは位相補償用キャパシタ C_1 と、アナログスイッチ SW_{C21} 、 SW_{C22} の開、閉に応じてキャパシタ C_1 と並列に切断、接続される位相補償用キャパシタ C_2 と、これらキャパシタと直列関係の位相補償用抵抗 R_1 とで構成される。

【0037】図6(b)を参照して、制御回路8は、極性信号PL/NLBとプリチャージ・出力切換え信号P/OBとから、位相補償選択部61Aで用いられるスイッチ SW_{C21} 、 SW_{C22} 及び、バイアス電流源選択部7A(図3(b))で使用する各スイッチ $SW_{B1} \sim SW_{B3}$ の制御信号を作る回路である。

【0038】本実施の形態における動作時のタイミングチャートを示す図7を参照して、出力期間 t_0 には、スイッチ SW_{C21} 及びスイッチ SW_{C22} をオンにして、位相補償容量値をプリチャージ期間 t_p での値より大きくする。この方法は、キャパシタ C_1 にキャパシタ C_2 を付け足すことにより位相補償用キャパシタを形成しているので、素子面積の増加を最小に抑える効果がある。位相補償用抵抗 R_1 は、出力期間 t_0 にあわせて大きくしておく。バイアス電流 I_{B1} は、差動アンプ62Aがデータを出力し保持するのに値にする。

【0039】負極性出力からのプリチャージ期間 t_p には、スイッチ SW_{C21} 及びスイッチ SW_{C22} をオフにして、位相補償容量値を出力期間 t_0 のときより小さくする。バイアス電流には、スイッチ SW_{B2} をオンにして電

流 I_{B2} を選択する。このとき、位相補償容量値が小さくなるので、差動アンプ62Aのスルーレートが大きくなりプリチャージ期間 t_{p-} が短くなる。プリチャージ期間 t_{p-} を必要以上に短くする必要がないならば、バイアス電流 I_{B2} はこれを減らすことができる。或いは、バイアス電流 I_{B2} は減らさず、プリチャージ期間 t_{p-} を短くして高速化することも可能である。

【0040】正極性出力からのプリチャージ期間 t_{p+} にはスイッチ SW_{C21} 及びスイッチ SW_{C22} をオフにして、位相補償容量値を出力期間 t_0 における値より小さくする。バイアス電流としては、スイッチ SW_{B3} をオンにして電流 I_{B3} を選択する。正極性出力電圧とプリチャージ電圧との間の電位差が、負極性出力電圧とプリチャージ電圧との間の電位差に比べ小さいので、バイアス電流 I_{B3} はバイアス電流 I_{B2} より更に小さくできる。

【0041】尚、本実施の形態には位相補償用キャパシタの切換えがあるので、切換え時にノイズが生じる。そこで、本実施の形態では、キャパシタをスイッチ SW_{C21} 及びスイッチ SW_{C22} で切換えてから、ノイズ収束時間 t_3 において、スイッチ SW_1 及びスイッチ SW_2 をオンにしてデータを出力するようにする。このノイズ収束時間 t_3 は、図6(b)に示す制御回路8中のディレイ回路 D_1 で調整する。

【0042】本実施の形態の液晶表示回路において、一例として、一つの制御回路8で制御される出力アンプの数を、240個とする。又、バイアス電流源選択部7Aのトランジスタ T_{Bn} は、各々の出力アンプにおける出力段のトランジスタ T_1 及び差動段のトランジスタ T_2 とカレントミラーの関係があるのであるが、そのカレントミラーにおけるトランジスタの電流能力比を、次のような比率に設定するものとする。

【0043】 $T_{Bn} : T_1 : T_2 = 10 : 1 : 1$

又、出力アンプの仕様を、以下の通りとする。

【0044】①出力期間 t_0 : $45 \mu S$

期間 t_0 の間出力を保持するのに必要な電流 : 差動段、出力段とも、 $10 \mu A$

位相余裕を確保するために必要な位相補償容量値 : $3.0 pF$

②負極性からのプリチャージ期間 t_{p-} : $5 \mu S$

期間 t_{p-} 内にプリチャージを完了するのに必要な電流 : 差動段、出力段とも、 $2 \mu A$

位相余裕を確保するために必要な位相補償容量 : $0.5 pF$

③正極性からのプリチャージ期間 t_{p+} : $5 \mu S$

期間 t_{p+} 内にプリチャージを完了するのに必要な電流 : 差動段、出力段とも、 $1 \mu A$

位相余裕を確保するために必要な位相補償容量 : $0.5 pF$

上記の仕様中、正極性からのプリチャージ期間 t_{p+} における出力アンプの消費電流を、負極性からのプリチャ

ージ期間 t_{p-} における電流の $1/2$ にしたのは、正極性出力電圧とプリチャージ電圧との間の電位差を、負極性出力電圧とプリチャージ電圧との間の電位差の $1/2$ と見積もったことによる。

【0045】従来の液晶駆動回路では、位相補償容量を、出力期間 t_0 に合わせて、常時 $3.0 pF$ に設定する。従ってプリチャージに必要な電流は、各々の出力アンプの差動段および出力段とも、 $3.0/0.5 = 6$ 倍になる。つまり、負極性からのプリチャージ期間 t_{p-} では $12 \mu A$ 、正極性からのプリチャージ期間 t_{p+} では $6 \mu A$ となる。よって、負極性からのプリチャージ期間 t_{p-} に合わせて、常時出力アンプの差動段・出力段ともに $12 \mu A$ の電流を流し、バイアス電流源には、 $I_B = 120 \mu A$ の電流を流すことになる。その結果、出力回路の消費電流は、

$$(12 + 12) \mu A \times 240 + 120 \mu A = 5.88 m A$$

となる。

【0046】これに対し本実施の形態では、液晶駆動の動作状態で、各々の出力アンプに流す電流を変える。各々の出力アンプの差動段及び出力段に流す平均電流は、 $(2 \mu A \times 5 \mu S + 10 \mu A \times 45 \mu S + 1 \mu A \times 5 \mu S + 10 \mu A \times 45 \mu S) / 100 \mu S = 9.15 \mu A$

となる。

【0047】3つのバイアス電流源には、 $I_{B1} = 100 \mu A$ 、 $I_{B2} = 20 \mu A$ 、 $I_{B3} = 10 \mu A$ の電流を流すことになる。従って、液晶駆動回路の出力回路の消費電流は、

$$(9.15 + 9.15) \mu A \times 240 + 100 \mu A + 20 \mu A + 10 \mu A = 4.522 m A$$

となる。すなわち、消費電流を、従来に比べて、23%低減できる。

【0048】次に、本発明の第3の実施形態について、説明する。本実施の形態は、位相補償用のCR時定数の切換えを、位相補償用抵抗と位相補償用キャパシタの両方を変えることにより行う方法を示す。図1中の位相補償選択部61Aに図8(a)に示す回路を用い、バイアス電流源選択部7Aには、第1の実施の形態と同じく、図3(b)に示す回路を用いる。制御回路8には、図8(b)に示す回路を使用する。本実施の形態の動作時のタイミングチャートを、図9に示す。位相補償のCR時定数を位相補償用キャパシタと位相補償用抵抗の両方で調整するのは、位相余裕を調整しやすいからである。図8(a)を参照すると、位相補償選択部61Aは、位相補償用抵抗 R_1 と、アナログスイッチ SW_{R2} の開、閉に応じて抵抗 R_1 に並列に切断、接続される位相補償用抵抗 R_2 と、位相補償用キャパシタ C_1 と、アナログスイッチ SW_{C21} 、 SW_{C22} の開、閉に応じてキャパシタ C_1 に並列に切断、接続される位相補償用キャパシタ C_2

とから構成される。

【0049】図8(b)を参照して、制御回路8は、極性信号PL/NLBとプリチャージ・出力切換え信号P/OBとから、位相補償選択部61Aに使用されるスイッチ SW_{R2} 、 SW_{C21} 、 SW_{C22} 及び、バイアス電流源選択部7Aに用いられるスイッチ SW_{B1} ～ SW_{B3} の制御信号を作る回路である。

【0050】本実施の形態における動作時のタイミングチャートを示す図9を参照して、出力期間 t_0 には、スイッチ SW_{R2} をオフにして、位相補償用抵抗値をプリチャージ期間 t_p での値より大きくする。また、スイッチ SW_{C21} 及びスイッチ SW_{C22} をオンにして、位相補償容量値をプリチャージ期間 t_p における値より大きくする。この方法は、キャパシタ C_1 に、キャパシタ C_2 を付け足すことで位相補償用キャパシタを形成しているので、素子面積の増加を最小に抑えるという効果をもたらす。バイアス電流 I_{B1} は、差動アンプ62Aがデータを出力し、保持するのに必要な量を流す。

【0051】負極性出力からのプリチャージ期間 t_{p-} には、スイッチ SW_{R2} をオンにし、位相補償用抵抗値を出力期間 t_0 における値より小さくする。又、スイッチ SW_{C21} 及びスイッチ SW_{C22} をオフにして、位相補償容量値を出力期間 t_0 における値より小さくする。バイアス電流には、スイッチ SW_{B2} をオンにして、電流 I_{B2} を選択する。このとき、位相補償容量値が小さくなるので、差動アンプ62Aのスルーレートが大きくなり、プリチャージ期間 t_{p-} が短くなる。プリチャージ期間 t_{p-} を必要以上に短くする必要がないならば、バイアス電流 I_{B2} はこれを減らすことができる。バイアス電流 I_{B2} を減らさず、プリチャージ期間 t_{p-} を短くして高速化することも可能である。

【0052】正極性出力からのプリチャージ期間 t_{p+} には、スイッチ SW_{R2} をオンにして、位相補償抵抗値を出力期間 t_0 における値より小さくする。又、スイッチ SW_{C21} 及びスイッチ SW_{C22} をオフにして、位相補償容量値を出力期間 t_0 における値より小さくする。バイアス電流としては、スイッチ SW_{B3} をオンにして、電流 I_{B3} を選択する。正極性出力電圧とプリチャージ電圧との間の電位差が、負極性出力電圧とプリチャージ電圧との間の電位差に比べて小さいので、バイアス電流 I_{B3} はバイアス電流 I_{B2} より更に小さくできる。

【0053】尚、本実施の形態には位相補償容量の切換えがあるので、切換え時にノイズが発生する。そこで、容量をスイッチ SW_{C21} 及びスイッチ SW_{C22} で切り換えてからノイズ収束時間 t_s をおいて、スイッチ SW_1 及びスイッチ SW_2 でデータを出力するようにする。このノイズ収束時間 t_s は、図8(b)に示す制御回路8中のディレイ回路D1で調整する。

【0054】尚、上述した実施の形態において位相補償値の切替えは、抵抗の並列回路による抵抗値の切替え或

いは、キャパシタの並列回路による容量値の切替えによったが、本発明はこれらに限られるものではない。抵抗値の直並列回路もしくはキャパシタの直並列回路、或いはそれらの両方を用いることによってCR時定数を切り替えても、実施の形態と同様の作用効果を得ることができる。

【0055】尚また、出力アンプのバイアス電流の切替えは、実施の形態の方法に限らず、例えば、出力電流が同一の電流源を複数並列に接続し、並列接続の数を切り替える構成としても実施の形態と同様の作用効果を得ることができる。

【0056】

【発明の効果】以上説明したように、本発明によれば、液晶ディスプレイパネルをプリチャージアンプを用いて交流駆動する構造の液晶駆動回路において、これを大幅に低電力化することができる。液晶駆動回路の動作における出力期間、負極性出力からのプリチャージ期間および正極性出力からのプリチャージ期間の各状態に合わせてバイアス電流源を切り換えることにより、不要な電流を削減しているからである。

【0057】又、本発明によれば、上記構造の液晶駆動回路において、これを高速化することができる。プリチャージ期間に位相補償容量を小さくすることで、駆動回路で使われているアンプのスルーレートを高め、プリチャージ時間を短くしているからである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による液晶駆動回路における出力回路の、回路図である。

【図2】本発明を適用した液晶ディスプレイの構成を示す、ブロック図である。

【図3】第1の実施の形態による液晶駆動回路における位相補償選択部の回路図及び、バイアス電流源選択部部の回路図である。

【図4】第1の実施の形態による液晶駆動回路における制御回路の回路図である。

【図5】第1の実施の形態による液晶駆動回路の、動作時のタイミングチャート図である。

【図6】第2の実施の形態による液晶駆動回路における位相補償選択部の回路図及び、制御回路の回路図である。

【図7】第2の実施の形態による液晶駆動回路の、動作時のタイミングチャート図である。

【図8】第3の実施の形態による液晶駆動回路における位相補償選択部の回路図及び、制御回路の回路図である。

【図9】第3の実施の形態による液晶駆動回路の、動作時のタイミングチャート図である。

【図10】液晶ディスプレイパネルを交流駆動する方法を説明するための図である。

【図11】従来の技術による液晶ディスプレイの一例の

構成を示すブロック図である。

【図12】図11に示す液晶ディスプレイの、動作時のタイミングチャート図である。

【図13】従来の技術による液晶駆動回路における出力回路の一例の回路図である。

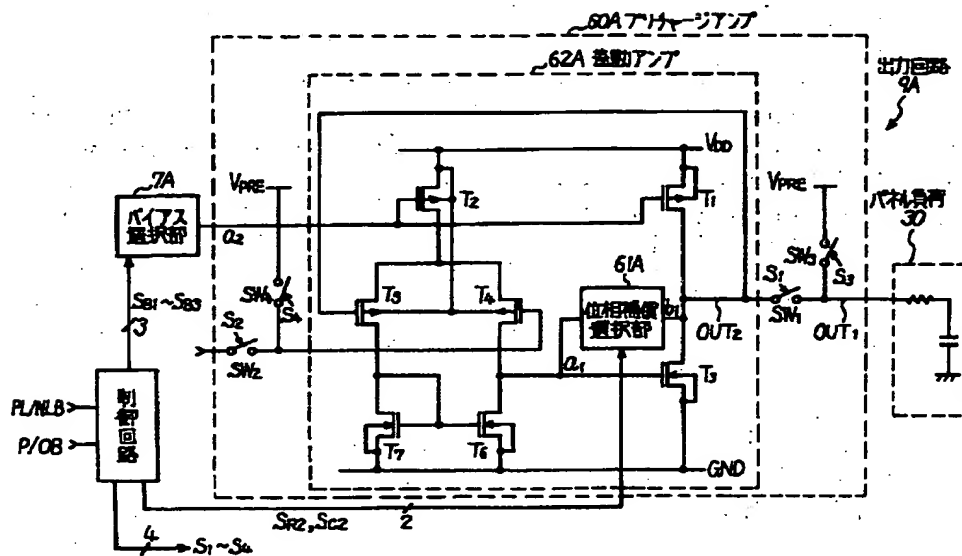
【図14】図13に示す出力回路の、動作時のタイミング図である。

【符号の説明】

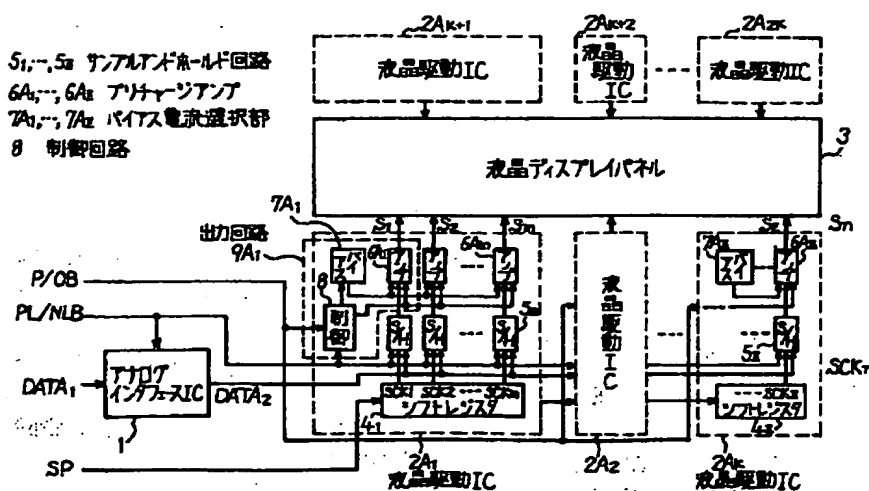
1 アナログインタフェースIC
2A₁, ..., 2A_k 液晶駆動IC
3, 30 液晶ディスプレイパネル

4₁, ..., 4_k シフトレジスタ
5₁, ..., 5_k サンプルアンドホールド回路
6A₁, ..., 6A_k 出力アンプ
7A, 7A₁, ..., 7A_k バイアス電流源選択部
8 制御回路
9A 出力回路
10A, 10B 液晶駆動回路
60A プリチャージアンプ
61A 位相補償選択部
62A 差動アンプ

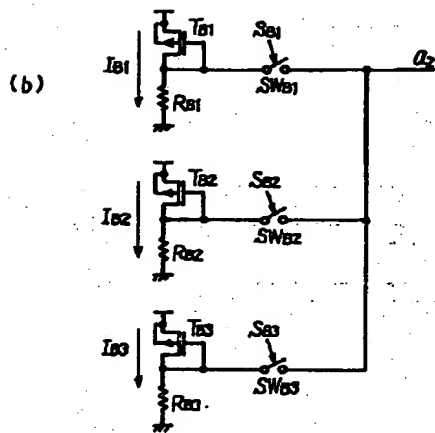
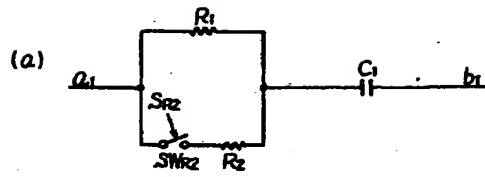
【図1】



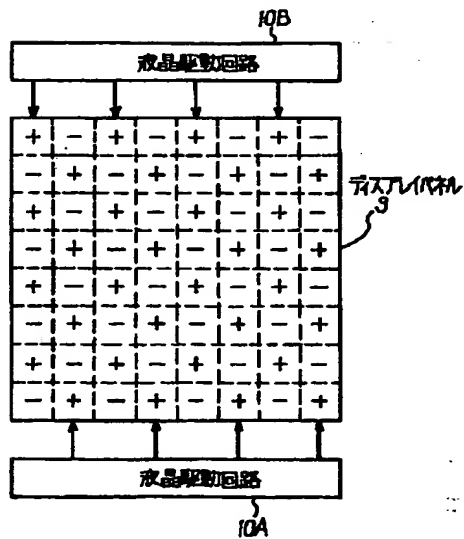
【図2】



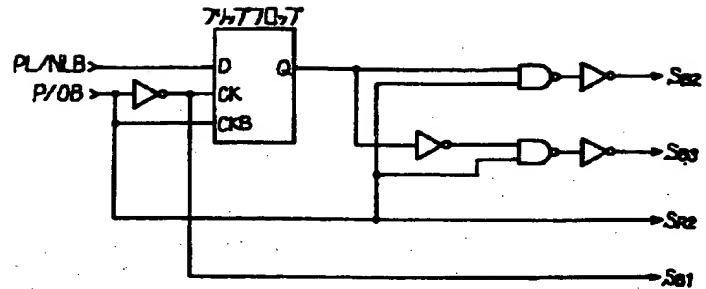
【図3】



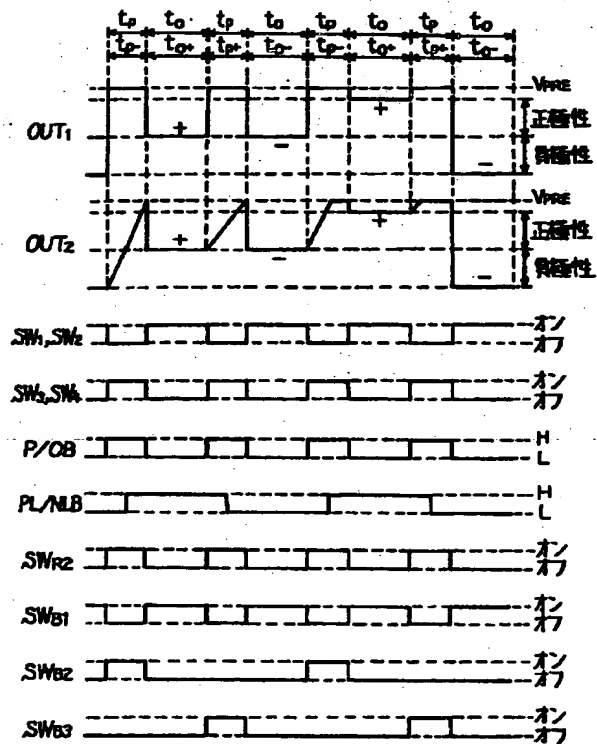
【図10】



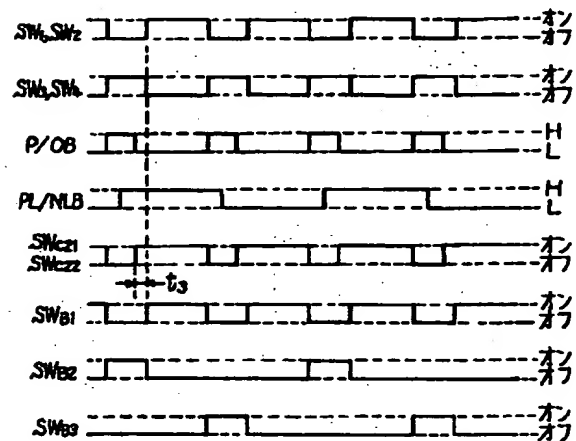
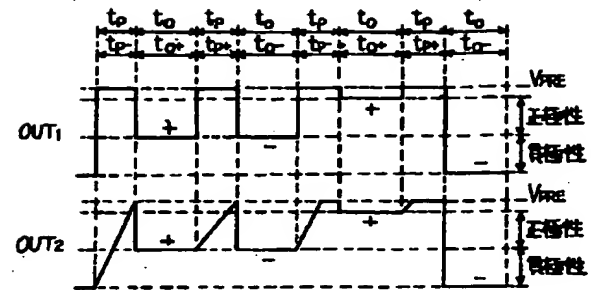
【図4】



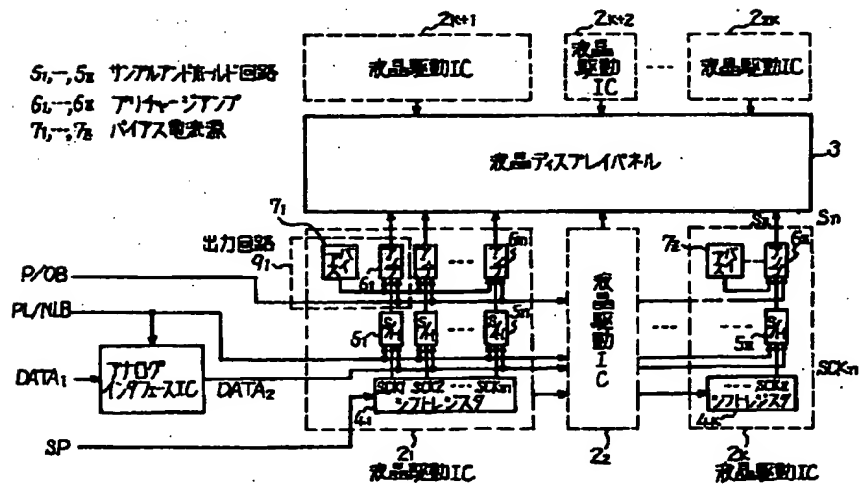
【図5】



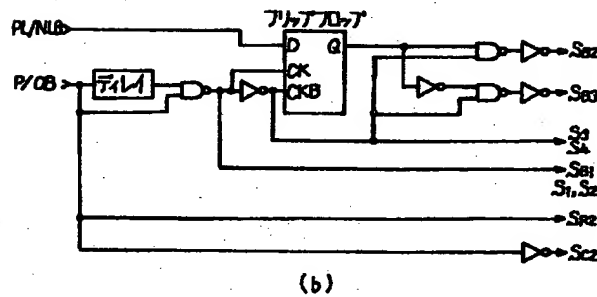
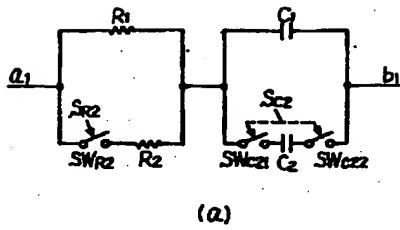
【図7】



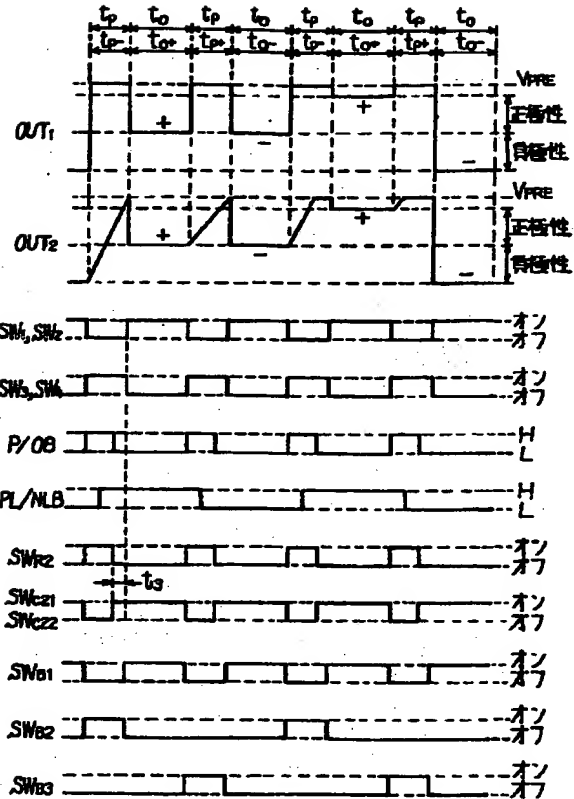
【图 11】



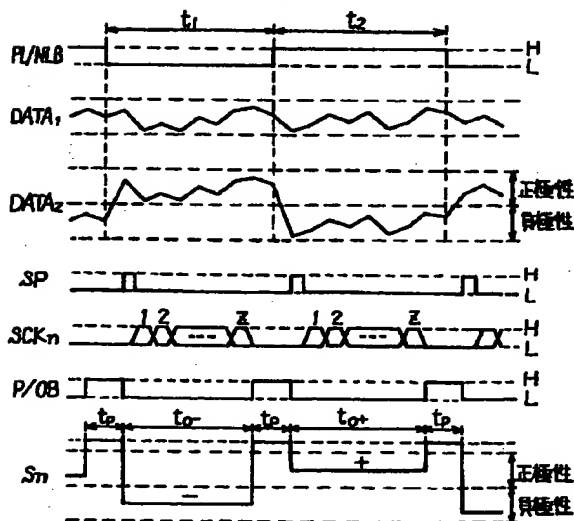
【図8】



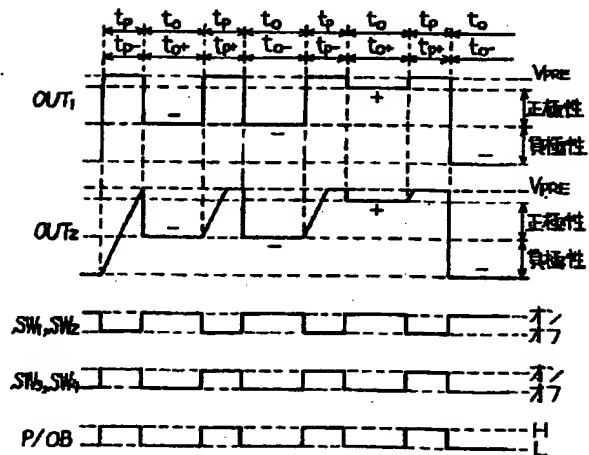
【図9】



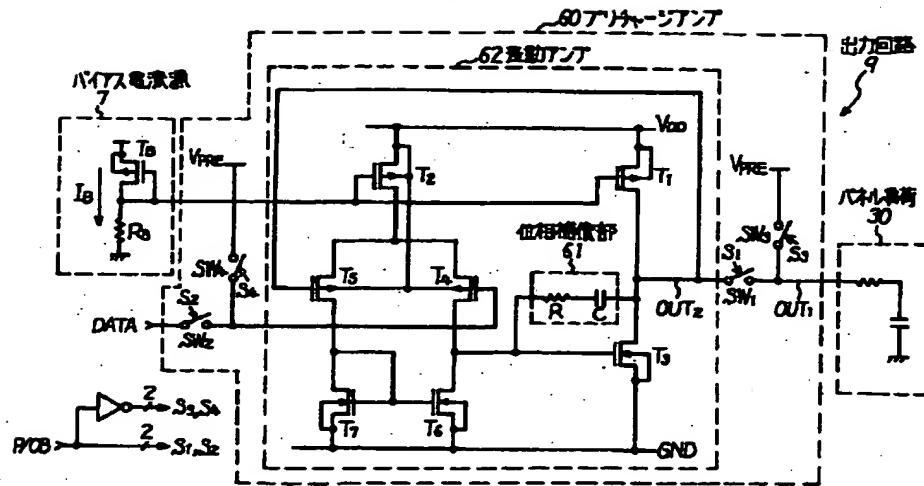
【図12】



【図14】



【図13】



up

THIS PAGE BLANK (USPTO)